

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-14130

(43)公開日 平成 5 年(1993) 1 月22日

(51)Int.Cl.<sup>5</sup>

H 0 3 H 17/06

H 0 4 N 5/21

識別記号

Z 8731-5 J

A 8626-5 C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 9 (全 18 頁)

(21)出願番号 特願平3-261104

(22)出願日 平成 3 年(1991) 9 月12日

(31)優先権主張番号 特願平2-251315

(32)優先日 平 2 (1990) 9 月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通 1 丁目 1 番28  
号

(72)発明者 折原 旬一

東京都千代田区内幸町二丁目 2 番 3 号 川  
崎製鉄株式会社東京本社内

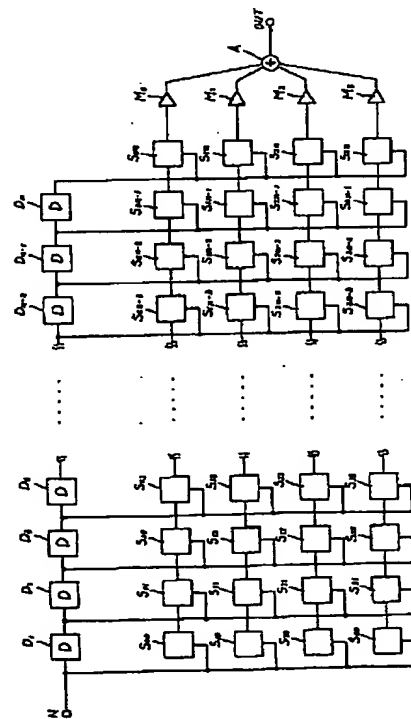
(74)代理人 弁理士 高矢 諭 (外 2 名)

(54)【発明の名称】 デジタルフィルタ

(57)【要約】

【目的】 異なる遅延時間の複数の遅延信号を、遅延時間や信号レベルを幅広く選択して出力信号を合成することのできるデジタルフィルタを、比較的少数の乗算器だけで実現し、コストダウンを図る。

【構成】 複数の遅延素子 D1 ~ Dn は直列接続され、各接続部分にそれぞれの遅延時間の遅延信号を得るためのタップを備えている。又、複数の乗算器 M0 ~ M3 は、それぞれの出力が加算器 A で加算され、この結果は該デジタルフィルタの出力に出力される。このような構成で、更に、信号選択手段 S00 ~ S3n は、前記複数のタップと、前記複数の乗算器の入力との間を、切替え選択する。従って、乗算器 M0 ~ M3 は、任意のタップに接続でき、有効に活用される。



## 【特許請求の範囲】

【請求項1】複数の遅延素子を用いて、異なる遅延時間の複数の遅延信号が、それぞれの遅延信号の信号レベルを異ならせて合成された出力信号を得るためのデジタルフィルタにおいて、

入力された信号レベルを所望の信号レベルとして出力する複数の乗算器と、前記複数の遅延素子と前記複数の乗算器との間を、切替え選択する信号選択手段とを備え、前記信号選択手段の切替え選択により、異なる遅延時間の複数の遅延信号が合成された出力信号を得ることを特徴とするデジタルフィルタ。

【請求項2】請求項1において、前記複数の遅延素子が直列接続され、各接続部分にそれぞれの遅延時間の遅延信号を得るためのタップを備え、前記複数の乗算器のそれぞれの出力が加算器で加算されて、該デジタルフィルタの出力に出力され、前記信号選択手段が、前記複数のタップと、前記複数の乗算器の入力との間を、切替え選択することを特徴とするデジタルフィルタ。

【請求項3】請求項2において、前記信号選択手段が、前記複数のタップと前記複数の乗算器の入力との間毎に設けられ、対応するタップと対応する乗算器の入力との間をオンとするかオフとするか切替えることを特徴とするデジタルフィルタ。

【請求項4】請求項2において、前記信号選択手段が、前記複数のタップと前記複数の乗算器の入力との間毎に設けられ、対応するタップを対応する乗算器の入力側へオンとするかオフとするか切替えるスイッチと、該スイッチの乗算器側の信号と他の信号選択手段の出力との加算を行う加算器とを有し、1つの乗算器の入力に対して複数の信号選択手段の前記スイッチがオンとなった場合には、これら信号選択手段に対応するタップからの信号が加算され、該乗算器に入力されることを特徴とするデジタルフィルタ。

【請求項5】請求項1において、前記複数の乗算器のそれぞれに、該デジタルフィルタに入力された信号が入力され、前記複数の遅延素子が、遅延入力信号の注入のための複数の加算器と共に、交互に直列接続され、前記信号選択手段が、前記複数の乗算器の出力と、前記複数の加算器のうちの1つの入力との間を、切替え選択することを特徴とするデジタルフィルタ。

【請求項6】請求項5において、前記信号選択手段が、前記複数の乗算器の出力と前記複数の加算器の入力との間毎に設けられ、対応する乗算器の出力と対応する加算器の入力との間をオンとするかオフとするか切替えることを特徴とするデジタルフィルタ。

【請求項7】請求項5において、前記加算器が多入力の加算器であって、

前記信号選択手段が、前記複数の乗算器の出力と前記複数の加算器の入力との間毎に設けられ、対応する乗算器の出力と、対応する加算器の多入力の入力うちの対応する入力との間をオンとするかオフとするか切替えることを特徴とするデジタルフィルタ。

【請求項8】請求項2において、前記複数の乗算器それぞれの入力に多入力の加算器が設けられ、前記信号選択手段が、前記複数のタップと前記複数の加算器との間毎に設けられ、対応するタップと、対応する加算器の多入力の入力うちの対応する入力との間をオンとするかオフとするか切替えることを特徴とするデジタルフィルタ。

【請求項9】請求項1において、前記信号選択手段が、当該信号選択手段の選択結果と、他の信号選択手段の選択結果を加算する加算器を有していることを特徴とするデジタルフィルタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数の遅延素子を用いて、異なる遅延時間の複数の遅延信号が、それぞれの遅延信号の信号レベルを異ならせて合成された出力信号を得るためのデジタルフィルタに係り、特に、該デジタルフィルタに使用される乗算器の使用数を減少しコストダウンを図ることができるデジタルフィルタの改良に関する。

## 【0002】

【従来の技術】従来から、所定の周波数応答の伝達関数は、ある種のインパルス応答によって実現することが可能であることが知られている。又、このような所定の周波数応答となる伝達関数のインパルス応答を求め、電子機器等に利用するための様々な理論が知られている。

【0003】このような理論に従って、所定の周波数応答を得るために、複数の遅延素子を用いて、異なる遅延時間の複数の遅延信号が、それぞれの遅延信号の信号レベルを異ならせて合成された出力信号を得るためのデジタルフィルタとし、これにより対応するインパルス応答のフィルタを実現したものがある。

【0004】このような複数の遅延素子を用いたデジタルフィルタには、有限インパルス応答 (finite impulse response、FIR) フィルタ (以降、FIRフィルタと呼ぶ) や無限インパルス応答 (infinite impulse response、IIR) フィルタ (以降、IIRフィルタと呼ぶ) が知られている。

【0005】なお、これらFIRフィルタとIIRフィルタの違い等は、図17及び図18を用いて後述する。

【0006】図13は、従来の、FIRフィルタのブロック図である。

【0007】この図13において、合計 $n$ 個の遅延素子 $D1 \sim Dn$ は直列接続され、各接続部分には様々な遅延

時間の遅延信号を得るための合計  $n+1$  個のタップを備えている。又、入力端子 IN から入力されたフィルタ入力信号は、遅延素子 D1 と乗算器 M0 とのそれぞれの入力に入力される。更に、これら  $n+1$  個のそれぞれ遅延時間の異なる遅延信号を入力して、それぞれ任意の信号レベルの遅延出力信号を得ることのできる合計  $n+1$  個の乗算器 M0 ~ Mn が、前記各タップ毎に配置されている。これら合計  $n+1$  個の乗算器からの遅延出力信号は、加算器 A で加算され、フィルタ出力信号として出力端子 OUT に出力される。

【0008】このような FIR フィルタにおいては、入力端子 IN から所定位置（所定遅延時間）となる遅延素子の出力側のタップから遅延信号を得、これら所定の遅延信号を各タップ毎に配置された乗算器により所望の信号レベルの遅延出力信号とし、これら遅延出力信号全てを加算器で加算して最終的なフィルタ出力としている。これにより、このような FIR フィルタにおいては、入力端子 IN に入力されたフィルタ入力信号の、所望のインパルス応答のフィルタ出力信号を得ることができるようにしている。

【0009】この図 13 において、入力端子 IN から入力されたフィルタ入力信号は、所定のサンプリング時間  $T_s$  毎の連続したデータである。又、この図 13 の FIR フィルタは、1 周期が前述のサンプリング時間  $T_s$  であるクロックに従ってディジタル処理を行っている。入力端子 IN から入力されたフィルタ入力信号であるデータは、遅延素子 D1 に入力され、1 クロック毎に順に、遅延素子 D2 ... Dn へとシフトしていく。

【0010】なお、この図 13 の FIR フィルタが NTSC (national television system committee) 方式の画像処理に用いられる場合には、サブキャリア周波数  $f_{sc}$  ( $=3.58\text{ MHz}$ ) に従って、前記クロックの周波数、即ちサンプリング周波数として、 $4f_{sc}$  ( $=14.3\text{ MHz}$ ) がよく使われる。

【0011】なお、これら遅延素子 D1 ~ Dn は、それぞれが、所定のビット数のワード、例えば 8 ビットのワードのデータを記憶するレジスタであり、1 クロックの時間（サンプリング時間  $T_s$ ）の固定遅延を行う。

【0012】遅延素子 D1 ~ Dn の間毎の前記タップからは、通過した遅延素子 D1 ~ Dn の個数に従った遅延時間のデータが得られる。即ち、 $n$  個目の遅延素子 Dn の出力側のタップからは、 $(n \times T_s)$  時間だけ遅延された信号（データ）が得られる。

【0013】これらそれぞれのタップには、対応する乗算器 M0 ~ Mn が接続され、それぞれの乗算器 M0 ~ Mn 毎に設定される係数  $a_0 \sim a_n$  が、タップからの信号（データ）にかけられる。

【0014】なお、これらの係数  $a_0 \sim a_n$  は、8 ~ 10 ビット程度の桁数の係数である。又、乗算器 M0 ~ Mn には、通常、並列乗算器が用いられ、高速処理が図ら

れている。例えば、前述のクロックのクロック周波数を  $14.3\text{ MHz}$  とすると、クロック周期（サンプリング時間  $T_s$ ）は  $(1/14.3\text{ MHz} = 70\text{ ns})$  となるので、乗算器 M0 ~ Mn の演算スピードは  $70\text{ ns}$  より速くなければならない。

【0015】なお、このような並列乗算器は、乗数のそれぞれの桁と被乗数のそれぞれの桁についての演算をほぼ並列に演算するものであり、多くの論理ゲートを必要とし、 $8 \times 8$  ビットや  $8 \times 10$  ビットクラスの並列乗算器では  $1000$  ゲート程度必要である。

【0016】図 13 において、乗算器 M0 ~ Mn の出力は、加算器 A で全て加算され、その結果が出力端子 OUT から出力される。なお、乗算器 M0 ~ Mn から出力される乗算結果は  $16 \sim 18$  ビットのデータであり、加算器 A はこのようなビット数の加算が実行可能なものであり、出力端子 OUT からの加算結果が出力される。

【0017】なお、この図 13 の FIR フィルタで行われる演算は、サンプリング時間  $T_s$  毎の第  $k$  番目の入力を  $X_k$  とし、出力を  $Y_k$  とし、乗算器 M0 ~ Mn でかけられる係数をそれぞれ  $a_0 \sim a_n$  とすると、次式のように表わすことができる。

【0018】

【数 1】

$$Y_k = \sum_{i=0}^n (a_i X_{k-i}) \quad \dots (1)$$

【0019】なお、このような演算は、畳込み積分 (convolution) と呼ばれる演算で、このような演算により、ディジタルフィルタに何等かの周波数特性を持たせることができる。又、この周波数特性は、係数  $a_i$  の与え方によって定まる。

【0020】又、従来から、種々のフィルタを利用して、テレビの受信信号からゴースト信号を除去し、ゴースト画面を改善するという技術が開示されている。

【0021】図 14 は、受信信号に主信号と共に重畳されてしまっているゴースト信号による、ゴースト画面の説明図である。

【0022】この図 14 において、画像 I0 は主信号による実像であり、画像 I1 は受信信号中の主信号に重畳されてしまっているゴースト信号によるゴーストである。

【0023】このような実像とゴーストとの画面ずれ量  $\Delta t$  は、原信号に重畳されてしまっているゴースト信号の遅れ時間あるいは進み時間で決まる。この図 14 の画像 I0 に対する画像 I1 のように、右方へずれているゴーストは、後ゴーストと呼ばれる。一方、画面において左方向へずれるゴーストは、前ゴーストと呼ばれる。このような前ゴーストは、原信号に対してゴースト信号の方が電波の伝播が進んでいる場合であるが、異なる遅延時間で伝播した電波のうち、一番強い信号を主信号とするので、このような前ゴーストが出ることもある。

【0024】なお、この図14はNTSC方式を想定しており、左から右への水平走査が上から下へと順に行われる。又、水平走査周期 $T_h$ は $63.5\mu s$ であり、水平走査のうち約80%程度が画面に表示されており、水平走査のうち画面に表示されない左右の部分は水平ブランキングと呼ばれている。

【0025】図15は、ゴーストの発生過程を説明するための電波伝播図である。

【0026】この図15において、放送局20から放射された放送電波の直達波Bは、最短距離により受信アンテナ24へ到着する。一方、放送局20から放射された放送電波の一部は、鉄筋コンクリートビルディング22aや22bに反射した反射波C及びDとして受信アンテナ24へ到着する。これら反射波C及びDは、直達波Bの伝播する距離よりも長い距離を伝播することになるので、前記直達波Bに比べ、伝播時間が長くなってしまふ。又、これら鉄筋コンクリートビルディング22aや22bの放送電波の反射面は、ある程度の広さを有するものであるため、これら反射波C及びDのそれぞれの伝播時間には幅があり、それぞれ反射波C及びDは伝播時間の近接した多数の反射波の合成信号のようになる。

【0027】従って、受信アンテナ24に発生する受信信号は、主信号の他に、時間的な遅れのあるゴースト信号が重畳されてしまっている受信信号となってしまふ。

【0028】図16は、原信号と、原信号に対応する主信号にゴースト信号が重畳されてしまっている受信信号との波形図である。

【0029】この図16において、原信号 $x(t)$ は、高さ1の方形波により表わされている。又、この図16における受信信号 $y(t)$ には、一般に直達波である主信号による高さ1の方形波 $g_0$ と、複数の反射波によるゴースト信号の方形波 $g_1 \sim g_5$ とが重畳されてしまっている。

【0030】又、これら重畳されてしまっている反射波によるゴースト信号の方形波 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ 、 $g_5$ は、直達波による原信号の方形波 $g_0$ よりも、それぞれ、遅れ時間 $\Delta t_1$ 、 $\Delta t_2$ 、 $\Delta t_3$ 、 $\Delta t_4$ 、 $\Delta t_5$ に遅延されてしまっている。又、これらゴースト信号の方形波 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ 、 $g_5$ の信号レベルは、それぞれ、 $a_1$ 、 $a_2$ 、 $a_3$ 、 $a_4$ 、 $a_5$ となっている。

【0031】この図16に示される受信信号 $y(t)$ を式で表わすと次のようになる。

【0032】

$$y(t) = x(t) + a_1 x(t - \Delta t_1) + a_2 x(t - \Delta t_2) + a_3 x(t - \Delta t_3) + a_4 x(t - \Delta t_4) + a_5 x(t - \Delta t_5) \dots (2)$$

【0033】この(2)式を変形して、 $x(t)$ を求め

ると次のようになる。

【0034】

$$x(t) = y(t) - a_1 x(t - \Delta t_1) - a_2 x(t - \Delta t_2) - a_3 x(t - \Delta t_3) - a_4 x(t - \Delta t_4) - a_5 x(t - \Delta t_5) \dots (3)$$

【0035】即ち、この(3)式の演算により、受信信号 $y(t)$ に重畳されてしまっているゴースト信号を除去することができる。

【0036】又、この(3)式の演算は、ディジタル処理を前提として記述すると、即ち、離散時間システムを前提として記述すると、次のようになる。

【0037】

【数2】

$$x_k = y_k - \sum_{i=0}^n (b_i x_{k-i}) \dots (4)$$

$$b_i = \begin{cases} a_j : i \cdot T_s = \Delta t_j \\ 0 : \text{上記以外} \end{cases}$$

【0038】このような(3)式、あるいは(4)式の演算を行い、ゴースト信号を受信信号から効果的に除去することが、従来から、前述のFIRフィルタを用いて行われている。

【0039】このFIRフィルタはディジタルフィルタによって実現することができるが、近年ディジタルフィルタの価格低下に伴い、ディジタルフィルタにより構成されたFIRフィルタによる種々のゴーストキャンセラが開発されている。

【0040】図17は、ディジタルフィルタを用いたゴーストキャンセラの第1例を示すブロック図である。

【0041】この図17においては、前述の(4)式で示される演算が行われている。即ち、この図17において、 $x(t)$ 及び $y(t)$ は、それぞれ、前述の(3)式に対応している。符号12aは図18に示されるようなFIRフィルタである。又、この図17に示されるディジタルフィルタは、FIRフィルタ12aに対して帰還経路を有しており、全体としてIIRフィルタとなっている。

【0042】図19は、ディジタルフィルタを用いたゴーストキャンセラの第2例を示すブロック図である。

【0043】この図19において、入力端子INから入力された入力信号(受信信号)は、64段の遅延素子により構成されるディジタルフィルタであるFIRフィルタを通過し、加算器Aの2つの入力うちの1つの入力に入力される。この加算器Aの出力は、遅延素子が576段によって構成されるディジタルフィルタであるFIRフィルタ12bに入力され、このFIRフィルタ12

bの出力は、前記加算器Aの2つの入力のうちのもう1つの入力に輸入される。即ち、このFIRフィルタ12bと加算器AとはIIRフィルタを構成しており、この加算器Aの出力はこのゴーストキャンセラの出力端子OUTにも接続されている。

【0044】このゴーストキャンセラの第2例は、前述の第1例に比べ、特に、イコライザ部として用いられるFIRフィルタ10を有している。このFIRフィルタ10は、受信アンテナからテレビジョンまでの伝送系の波形歪みの補正や、主信号に対してプラス・マイナス2 $\mu$ s程度の範囲の近接ゴーストの除去に用いられている。

【0045】又、加算器AとFIRフィルタ12bとにより構成されるIIRフィルタは、前述の(3)式あるいは(4)式の演算、即ち、異なる遅延時間の複数の遅延信号をそれぞれの遅延信号の信号レベルを異ならせて加算し、ゴースト信号を除去するゴースト除去部を構成している。

【0046】図20は、デジタルフィルタを用いたゴーストキャンセラの第3例のブロック図である。

【0047】この図20において、FIRフィルタ10は、前述の図19の同符号のFIRフィルタと同一のものであり、同様にイコライザ部を構成している。

【0048】この図20において、ゴースト除去部は、可変遅延器14と7~16段の遅延素子のFIRフィルタ12cとによる信号遅延部が、10~16組並列に配置され、それぞれの信号遅延部の出力、即ち、それぞれの変遅延器14の出力が加算器Aにより加算されるようになっている。

【0049】この図20のゴーストキャンセラの第3例は、前述のゴーストキャンセラの第1例において、値が“0”となっている図18の乗算器M0~Mnの個数が多いことに着目して、FIRフィルタの総タップ数を減らすように構成したものである。

【0050】この図20の可変遅延器14においては、図21に示される如く、固定遅延素子DF1~DFnが直列に接続されている。又、この可変遅延器14は、出力端子OUTを、固定遅延素子DF1~DFnの間から出されたどのタップに接続するか切替えることにより、遅延時間が設定できるようになっている。

【0051】ゴーストキャンセラの第3例による、図22に示されるような、主信号g10に重畳されてしまったゴースト信号g11~g13の除去は、合計3個の可変遅延器14と合計3個のFIRフィルタ12cとで行われる。

【0052】即ち、この図22の符号F1に示される如く、遅延時間 $\Delta t_{11}$ のゴースト信号g11は、可変遅延器VD1とFIRフィルタFIR1とで除去可能である。符号F2に示される如く、遅延時間 $\Delta t_{12}$ のゴースト信号g12は、可変遅延器VD2とFIRフィルタFIR2

とで除去可能である。符号F3に示される如く、遅延時間 $\Delta t_{13}$ のゴースト信号g13は、可変遅延器VD3とFIRフィルタFIR3とで除去可能である。即ち、これらゴースト信号g11~g13は、合計(7 $\times$ 3~16 $\times$ 3=48)個程度のFIRフィルタのタップ数で除去することができる。

【0053】なお、原理的には、1つのゴースト除去に1タップで良いことになるが、実際は、ゴーストの広がりがあるため、7~16タップ(固定)を割当てている。

【0054】このように、ゴーストキャンセラの第3例によれば、比較的少ないFIRフィルタの総タップ数で、ゴースト信号を除去することができ、用いられる乗算器の総数をも減少することができ、コストを低減することができる。

【0055】

【発明が解決しようとする課題】しかしながら、前述のゴーストキャンセラの第1例及び第2例には、異なる遅延時間の複数の遅延信号を、遅延時間や信号レベルを幅広く選択して出力信号を合成し、様々な遅延時間や信号レベルのゴースト信号でも効果的に除去することができるという特徴がある一方、多段のFIRフィルタを使用しなければならないという問題がある。

【0056】従来、このような多段のFIRフィルタは、数多くの乗算器を必要とし、ゴーストキャンセラ全体のコストを上昇させてしまうという問題がある。

【0057】一方、図20に示されるゴーストキャンセラの第3例では、使用するFIRフィルタの段数が少くてもよく、ゴーストキャンセラ全体のコスト低減を図ることができるという長所がある。しかしながら、使用するFIRフィルタの個数及び各FIRフィルタのタップ数には限りがあるため、除去できるゴーストの数や広がりに限られ、遅延時間や信号レベルが異なる数多くのゴースト信号が受信信号に重畳されている場合には、全てのゴーストを除去することができなかつたり、広がりが大きいゴースト信号が十分除去できないという問題がある。又、少いタップで十分な狭いゴーストにも一律に7~16タップが割当てられてしまうという問題がある。

【0058】本発明は、前記従来の問題点を解決するべくなされたもので、異なる遅延時間の複数の遅延信号を、遅延時間や信号レベルを幅広く選択して出力信号を合成することのできるデジタルフィルタを、比較的少数の乗算器だけで実現し、コストダウンを図ることを目的とする。

【0059】

【課題を解決するための手段】本発明は、複数の遅延素子を用いて、異なる遅延時間の複数の遅延信号が、それぞれの遅延信号の信号レベルを異ならせて合成された出力信号を得るためのデジタルフィルタにおいて、入力された信号レベルを所望の信号レベルとして出力する複

数の乗算器と、前記複数の遅延素子と前記複数の乗算器との間を、切替え選択する信号選択手段とを備え、前記信号選択手段の切替え選択により、異なる遅延時間の複数の遅延信号の合成された出力信号を得ることにより、上記課題を達成したものである。

【0060】又、前記複数の遅延素子を直列接続し、各接続部分にそれぞれの遅延時間の遅延信号を得るためのタップを備え、前記複数の乗算器のそれぞれの出力を加算器で加算して、該デジタルフィルタの出力に出力し、前記信号選択手段が、前記複数のタップと、前記複数の乗算器の入力との間を、切替え選択することにより、上記課題を達成したものである。

【0061】又、前記信号選択手段を、前記複数のタップと前記複数の乗算器の入力との間毎に設け、対応するタップと対応する乗算器の入力との間をオンとするかオフとするか切替えることにより、上記課題を達成したものである。

【0062】又、前記信号選択手段を、前記複数のタップと前記複数の乗算器の入力との間毎に設け、対応するタップを対応する乗算器の入力側へオンとするかオフとするか切替えるスイッチと、該スイッチの乗算器側の信号と他の信号選択手段の出力との加算を行う加算器とを設け、1つの乗算器の入力に対して複数の信号選択手段の前記スイッチがオンとなった場合には、これら信号選択手段に対応するタップからの信号を加算し、該乗算器に入力することにより、上記課題を達成したものである。

【0063】又、前記複数の乗算器のそれぞれに、該デジタルフィルタに入力された信号が入力され、前記複数の遅延素子が、遅延入力信号の注入のための複数の加算器と共に、交互に直列接続され、前記信号選択手段が、前記複数の乗算器の出力と、前記複数の加算器のうちの1つの入力との間を、切替え選択することにより、上記課題を達成したものである。

【0064】又、前記信号選択手段を、前記複数の乗算器の出力と前記複数の加算器の入力との間毎に設け、対応する乗算器の出力と対応する加算器の入力との間をオンとするかオフとするか切替えることにより、上記課題を達成したものである。

【0065】又、前記加算器を多入力の加算器とし、前記信号選択手段を、前記複数の乗算器の出力と前記複数の加算器の入力との間毎に設け、対応する乗算器の出力と、対応する加算器の多入力の入力のうちの対応する入力との間をオンとするかオフとするか切替えることにより、上記課題を達成したものである。

【0066】又、前記複数の乗算器それぞれの入力に多入力の加算器を設け、前記信号選択手段を、前記複数のタップと前記複数の加算器との間毎に設け、対応するタップと、対応する加算器の多入力の入力のうちの対応する入力との間をオンとするかオフとするか切替えること

により、上記課題を達成したものである。

【0067】又、前記信号選択手段に、当該信号選択手段の選択結果と、他の信号選択手段の選択結果を加算する加算器を設けることにより、上記課題を達成したものである。

【0068】

【作用】本発明では、複数の遅延素子を用いたデジタルフィルタにおいて、入力された信号の信号レベルを所望の信号レベルとして出力する複数の乗算器を備えると共に、特に、これら複数の遅延素子と、これら複数の乗算器との間を、切替え選択する信号選択手段を備えている。従って、多数の遅延素子を並べて用いたとしても、これら遅延素子の数に比べ少ない数の乗算器でも、遅延時間や信号レベルを幅広く選択して出力信号を合成することが可能である。

【0069】即ち、本発明によれば、例えば、乗算器は少なくとも合成されるそれぞれの遅延時間の遅延信号の信号レベルの数だけあれば充分となっている（但し、後述する実施例の如く、乗算器を更に減らすことも可能）。従って、従来、例えば500個の遅延素子を有するデジタルフィルタにあつてはほぼ500個（合成されるそれぞれの遅延時間の遅延信号の信号レベルの数より遥かに多い）の乗算器が用いられていたのが、本発明によればデジタルフィルタに用いられる乗算器の数を大幅に減少することができる。

【0070】本発明においては、比較的少数の乗算器を切替え選択して効果的に利用できるようにしている信号選択手段は、例えば、スイッチング素子や加算器等を用いることができる。これら本発明で多用されるスイッチング素子や加算器等は、乗算器と比べて、使用されるトランジスタ等の素子数が遥かに少ないものである。

【0071】従って、デジタルフィルタ中で使用される乗算器の数を減少することにより、新たに信号選択手段が必要となっても、デジタルフィルタ全体としてはコストダウンを図ることが可能である。

【0072】又、本発明によれば使用される遅延素子を効率的に使用することができ、遅延素子や可変遅延素子等の数を減少させ、これによりコストダウンを図ることができる。

【0073】なお、本発明では、複数の遅延素子と、これら複数の乗算器と、信号選択手段との間の接続関係や構成を限定するものではない。

【0074】即ち、用いられている信号選択手段が、これら複数の遅延素子とこれら複数の乗算器との間を切替え選択するものであつて、これによりこれら複数の遅延素子とこれら複数の乗算器とが有機的に切替え選択され、各乗算器の乗算係数の変更等と共に、効果的に遅延時間や信号レベルを幅広く選択するものであればよい。

【0075】又、本発明の信号選択手段は、スイッチング素子や加算器等に限定するものではなく、前述のよう

にデジタルフィルタを構成している複数の遅延素子と複数の乗算器とを有機的に切替え選択可能であれば本発明の効果を有するものである。

【0076】

【実施例】以下、図面を用いて本発明の実施例を詳細に説明する。

【0077】図1は、本発明が適用されたFIRフィルタの第1実施例のブロック図である。

【0078】この図1において、入力端子INに入力されたフィルタ入力信号は、遅延素子D1と4つの信号選択手段S00～S30にそれぞれ入力される。

【0079】合計n個の同一の遅延時間を有する遅延素子D1～Dnは直列に接続されており、これらそれぞれの遅延素子の各接続部分には遅延信号を得るためのタップが設けられている。

【0080】例えば、遅延素子D1の出力と遅延素子D2の入力とが接続されているタップ部分は、4つの信号選択手段S01～S31が接続されている。又、遅延素子D2の出力と遅延素子D3の入力とが接続されたタップ部分には、4つの信号選択手段S02～S32が接続されている。又、遅延素子D3の出力と遅延素子D4の入力とが接続されたタップ部分には、4つの信号選択手段S03～S33が接続されている。このように直列接続された複数の遅延素子の各接続部分のタップ部分には4つの信号選択手段がそれぞれ接続されている。即ち、合計n個の遅延素子D1～Dnに対して、合計 $4 \times (n+1)$ 個の信号選択手段S00～S3nが接続されている。

【0081】更に、これら信号選択手段S00～S3nは、全体が4つのグループに分けられ、それぞれカスケード接続され乗算器M0～M3のうちのいずれか1つに接続されている。即ち、合計 $n+1$ 個の信号選択手段S00～S0nはカスケード接続され、最終段の信号選択手段S0nは乗算器M0の入力に接続されている。又、合計 $n+1$ 個の信号選択手段S10～S1nはカスケード接続され、最終段の信号選択手段S1nは乗算器M1の入力に接続されている。又、合計 $n+1$ 個の信号選択手段S20～S2nはカスケード接続され、最終段の信号選択手段S2nは乗算器M2の入力に接続されている。又、合計 $n+1$ 個の信号選択手段S30～S3nはカスケード接続され、最終段の信号選択手段S3nは乗算器M3の入力に接続されている。

【0082】これら4つの乗算器M0～M3の出力は加算器Aに入力され、この加算器Aの出力はフィルタ出力信号として出力端子OUTへ出力される。

【0083】図2は、前記第1実施例に用いられる信号選択手段のブロック図である。

【0084】図2において、信号選択手段S（前述の図1においては、信号選択手段S00～S3nの1つに該当）は、1つのスイッチング素子SWによって構成されている。

【0085】この図2の信号選択手段Sの3つの端子の位置は、図1の各信号選択手段S00～S3nの3つの端子の位置と対応させて作図されている。即ち、例えば、この図2の信号選択手段Sの下側の端子aは、図1の直列接続された遅延素子の各接続部分のタップ部分に接続される信号選択手段S00～S3nの下側の端子に対応している。

【0086】このような図1及び図2に示される本発明の第1実施例によれば、4つの乗算器を効果的に用いて、少なくとも4つの信号レベルや遅延時間の異なる遅延信号を合成することのできるデジタルフィルタを実現することができる。例えば乗算器M0～M3のそれぞれに対応する $(n+1)$ 個の信号選択手段のいずれかをオンとすることで、わずか4個の乗算器M0～M3は、それぞれどのタップ部分（遅延素子D1～Dnの出力）にも接続することができる。

【0087】なお、遅延素子の数や乗算器の数はこの第1実施例に限定したものではない。例えば、遅延素子の数を500～600個とし、乗算器の数を100個程度とした第1実施例のFIRフィルタを数種類発明者は実際に試作し、図19を用いて前述したゴーストキャンセラの第1例に用いて試験している。この第1実施例の試作FIRフィルタは、従来の500～600段の遅延素子を用いたFIRフィルタに比べ、乗算器を400～500個削減できており、大幅なコストダウンとなっている。

【0088】又、例えば図20を用いて前述した従来のゴーストキャンセラの第3例に比べて、同数の乗算器を用いた場合には、本実施例は、乗算器を自由に最適タップに割り当てられるので、遅れ時間幅の広いゴーストや狭いゴーストや、より多くのゴーストを効果的に、より完全に除去することができる。

【0089】図3は、本発明の第2実施例に用いられる信号選択手段のブロック図である。

【0090】図3において、信号選択手段Sは、1つのスイッチング素子SWと1つの加算器Aとにより構成されている。

【0091】この図3における信号選択手段Sの3つの端子の位置は、前述の図1の各信号選択手段S00～S3nの3つの端子の位置に対応させて作図されている。即ち、例えば、この図3における信号選択手段Sの下側の端子bは、図1の直列接続された遅延素子の各接続部分のタップ部分に接続される信号選択手段S00～S3nの下側の端子に対応している。

【0092】このような図1及び図3に示された本発明の第2実施例によれば、いくつかのタップ出力に同じ係数を掛けたいとき、加算器により、1個の乗算器で済むため、より乗算器を効率的に使うことができる。これに対して、第1実施例のように、スイッチング素子SWのみのときは、タップ数分の乗算器が必要となる。



【0093】例えば、図4に示されるような主信号  $g_{20}$  に対するゴースト信号  $g_{21} \sim g_{23}$  の除去の際に、合計  $(3+20+5=28)$  タップが用いられ、これら28個のタップのうちには、同じ係数が割り当てられるタップがある可能性がある。例えば、信号  $x_i$ 、 $x_j$ 、 $x_k$

$$\underbrace{a_0 x_i + a_0 x_j + a_0 x_k}_{\text{乗算器3個 (第1実施例)}} = \underbrace{a_0 (x_i + x_j + x_k)}_{\text{乗算器1個 (本実施例)}}$$

乗算器3個 (第1実施例)

乗算器1個 (本実施例)

【0095】図6は、本発明が適用されたFIRフィルタの第3実施例のブロック図である。

【0096】この第3実施例の構成は、前述の図1の実施例の構成を基本型とすれば、転置型の構成である。従って、本第3実施例は、図2の信号選択手段を用いた第1実施例と、ほぼ同様の効果が得られる。

【0097】この図6において、入力端子INには、フィルタ入力信号が入力され、このフィルタ入力信号は合計5つの乗算器M0～M4に入力される。

【0098】乗算器M0の出力は、合計  $n+1$  個の信号選択手段S00～S0nにそれぞれ入力される。又、乗算器M1の出力は、合計  $n+1$  個の信号選択手段S10～S1nにそれぞれ入力される。又、乗算器M2の出力は、合計  $n+1$  個の信号選択手段S20～S2nにそれぞれ入力される。又、乗算器M3の出力は、合計  $n+1$  個の信号選択手段S30～S3nにそれぞれ入力される。又、乗算器M4の出力は、合計  $n+1$  個の信号選択手段S40～S4nにそれぞれ入力される。

【0099】合計  $n$  個の遅延素子D1～Dnは、遅延入力信号の注入のための合計  $n$  個の加算器A1～Anと共に、交互に直列接続されている。左端の遅延素子Dnの入力とこれら合計  $n$  個の加算器An～A1の入力とは、順に、信号選択手段S4n～S40が1つずつ接続されている。

【0100】又、5つの乗算器M0～M4の出力と、遅延素子Dnの入力と  $n$  個の加算器An～A1の入力とは、マトリックス状に配置された合計  $5 \times (n+1)$  個の信号選択手段S0n～S00、S1n～S10、S2n～S20、S3n～S30、S4n～S40により切替え選択して接続できるようになっている。これにより、5つの乗算器M0～M4の出力が、どれでも、遅延素子Dnの入力や加算器An～A1の入力に選択して入力することができ、信号レベルを異ならせて、異なる遅延時間の複数の遅延信号を合成することができるようになっている。又、最終段の加算器A1は、フィルタ出力信号を出力端子OUTへ出力するようになっている。

【0101】図7は、前記第3実施例に用いられる信号選択手段を示すブロック図である。

【0102】この図7において、信号選択手段Sは、1つのスイッチング素子SWによって構成されている。

のそれぞれに同じ係数  $a_0$  を乗算する場合には、次式が成り立ち、本実施例では、図5に示すように、乗算器の使用数を3個から1個に減少することができる。

【0094】

【数3】

【0103】又、この図7の信号選択手段Sの3つの端子の位置は、それぞれ、前述の図6の各信号選択手段S00～S4nの3つの入力端子の位置に対応させて作図されている。即ち、例えば、この図7の信号選択手段Sの左側の端子cは、図6において乗算器M0～M4の出力のいずれか1つに接続される信号選択手段S00～S4nの左側の端子に対応している。

【0104】この図6及び図7に示される本発明の第3実施例によれば、 $n$ 個の遅延素子D1～Dnを用いながら僅か5つの乗算器M0～M4のみで、例えば、少なくとも5つの、異なる遅延時間の異なる信号レベルの遅延信号を合成してフィルタ出力信号として得ることができる。

【0105】なお、本発明は、実施例に示される乗算器の数や遅延素子の数に限定されるものではない。例えば、発明者は、遅延素子数500～600個で乗算器数100個の、図19を用いて前述したゴーストキャンセラの第1例に用いる、本発明の第3実施例のFIRフィルタを試作している。この第3実施例のゴーストキャンセラ用FIRフィルタによれば、従来の500～600個の遅延素子を用いたゴーストキャンセラ用FIRフィルタに比べて、乗算器の数を400～500個削減することができ、コストダウンを図ることができる。

【0106】なお、第3実施例の変形例として、信号選択手段S00～S4nに、前述の第1実施例で用いた図3に示される加算器Aを有する信号選択手段Sを用いてもよい。このような変形例によれば、乗算器M0～M4のいずれか複数の出力を加算した後で、加算器A1～Anのそれぞれへ入力することも可能である。

【0107】従って、このような変形例によれば、使用数の限られた乗算器M0～M4を用いて、より多様な信号レベルの信号を得て、加算器A1～Anそれぞれへ入力することができる。

【0108】図8は、本発明が適用されたFIRフィルタの第4実施例である。

【0109】この第4実施例の構成は、前述の図1の実施例の構成を基本型とすれば、転置型の構成である。従って、本第4実施例は、図3の信号選択手段を用いた第2実施例と、ほぼ同様の効果が得られる。

【0110】この図8において、符号M0～M4、Dn



～D1、IN、OUTは、前述の図6に示される同符号のものと同一のものである。

【0111】この図8においては、加算器 $A_n \sim A_0$ は、多入力となっており、縦方向の全ての信号選択手段 $S_{0i} \sim S_{4i}$ の出力と前段の固定遅延 $D_{i+1}$ の出力を加算して出力することができる。

【0112】図9は、前記第4実施例に用いられる信号選択手段の回路図である。

【0113】この図9において、信号選択手段Sは、1つのスイッチング素子SWによって構成されている。

【0114】又、この図9の信号選択手段Sの2つの端子の位置は、前述の図8の各信号選択手段 $S_{00} \sim S_{4n}$ の2つの端子の位置に対応している。即ち、例えば、この図9の信号選択手段Sの左側の端子eは、図8の各信号選択手段 $S_{00} \sim S_{4n}$ の、乗算器 $M_0 \sim M_n$ のいずれか1つの出力に接続されている左側の端子に対応するものである。

【0115】図10は、本発明が適用されたFIRフィルタの第5実施例を示すブロック図である。

【0116】この第5実施例は、合計4個の加算器 $A_0 \sim A_3$ のみを用いて、図3の信号選択手段を用いた第2実施例と、ほぼ同様の効果が得られる。即ち、本第5実施例では、横方向の各段で加算するのではなく、加算器 $A_0 \sim A_3$ でまとめて加算する。

【0117】この図10において、遅延素子 $D_1 \sim D_n$ 及び乗算器 $M_0 \sim M_3$ 及び加算器A、入力端子IN、出力端子OUTは、前述の図1の同符号のものと同一のものであり、同様に構成されている。又、この図10のそれぞれの信号選択手段 $S_{00} \sim S_{3n}$ は、それぞれ前述の図1の信号選択手段 $S_{00} \sim S_{3n}$ の同符号のものと同様な位置に配置されている。

【0118】図11は、第5実施例に用いられる信号選択手段の回路図である。

【0119】この図11において、信号選択手段Sは、一つのスイッチング素子SWによって構成されている。

【0120】又、この図11の信号選択手段Sの2つの端子の位置は、図10のそれぞれの信号選択手段 $S_{00} \sim S_{3n}$ の2つの端子の位置に対応して作図されている。即ち、例えば、この図11の信号選択手段Sの下側の端子fは、図10のそれぞれの信号選択手段 $S_{00} \sim S_{3n}$ の端子のうち遅延素子の各接続部分の各タップ部分に接続されている下側の端子に対応するものである。

【0121】図12は、第5実施例に用いられる加算器のブロック図である。

【0122】即ち、この図12に示される加算器 $A_i$ は、図10のそれぞれの加算器 $A_0 \sim A_3$ の1つずつを表わすものである。

【0123】この図12に示される加算器 $A_i$ は、 $n+1$ 個の入力 $in_0 \sim in_n$ の各入力に入力された信号を加算して出力する多入力加算器である。

【0124】このような図10、図11及び図12に示される本発明の第5実施例によれば、前記第2実施例のように合計 $4 \times (n+1)$ 個の信号選択手段 $S_{00} \sim S_{3n}$ の内部に1つずつ加算器を備えなくても、異なる遅延時間の複数の遅延信号の信号レベルを幅広く選択することができる。

【0125】なお、本発明で用いられる遅延素子や乗算器や信号選択手段の使用数は、以上説明した本発明の第1実施例から第5実施例におけるそれぞれの使用数に限定したものではない。又、これら本発明の第1実施例から第5実施例のFIRフィルタは、それぞれ、図13を用いて前述した従来のFIRフィルタとほぼ同機能であり、図19に示されるゴーストキャンセラの第1例のFIRフィルタや、図20に示されるゴーストキャンセラの第2例のFIRフィルタとして使用することができることは言うまでもない。

【0126】

【発明の効果】以上説明した通り、本発明によれば、異なる遅延時間の複数の遅延信号を、遅延時間や信号レベルを幅広く選択して出力信号を合成することのできるデジタルフィルタを、比較的少数の乗算器だけで実現し、コストダウンを図ることができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明が適用されたFIRフィルタの第1実施例のブロック図である。

【図2】図2は、前記第1実施例に用いられる信号選択手段のブロック図である。

【図3】図3は、本発明の第2実施例に用いられる信号選択手段のブロック図である。

【図4】図4は、主信号にゴースト信号が重畳されてしまっている受信信号の波形図である。

【図5】図5は、前記第2実施例の接続例を示す回路図である。

【図6】図6は、本発明が適用されたFIRフィルタの第3実施例のブロック図である。

【図7】図7は、前記第3実施例に用いられる信号選択手段のブロック図である。

【図8】図8は、本発明が適用されたFIRフィルタの第4実施例のブロック図である。

【図9】図9は、前記第4実施例に用いられる信号選択手段の回路図である。

【図10】図10は、本発明が適用されたFIRフィルタの第5実施例のブロック図である。

【図11】図11は、前記第5実施例に用いられる信号選択手段の回路図である。

【図12】図12は、前記第5実施例に用いられる加算器の回路図である。

【図13】図13は、従来のFIRフィルタのブロック図である。

【図14】図14は、受信信号に主信号と共に重畳されてしまっているゴースト信号による、ゴースト画面の説明図である。

【図15】図15は、ゴーストの発生過程を説明するための電波伝播図である。

【図16】図16は、原信号と、原信号に対応する主信号にゴースト信号が重畳されてしまっている受信信号との波形図である。

【図17】図17は、デジタルフィルタを用いた従来のゴーストキャンセラの第1例を示すブロック図である。

【図18】図18は、前記従来のゴーストキャンセラの第1例に用いられるFIRフィルタのブロック図である。

【図19】図19は、デジタルフィルタを用いた従来のゴーストキャンセラの第2例を示すブロック図である。

【図20】図20は、デジタルフィルタを用いた従来のゴーストキャンセラの第3例を示すブロック図である。

【図21】図21は、前記従来のゴーストキャンセラの第3例で用いられる可変遅延線の回路図である。

【図22】図22は、前記従来のゴーストキャンセラの第3例での、ゴースト信号の除去を示す線図である。

【符号の説明】

10、12…有限インパルス応答フィルタ（FIRフィルタ）、

14…可変遅延線、

A、A1～An…加算器、

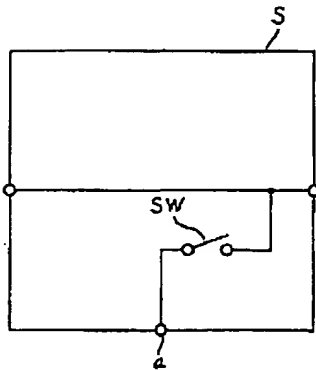
D、D1～Dn…遅延素子、

M0～Mn…乗算器、

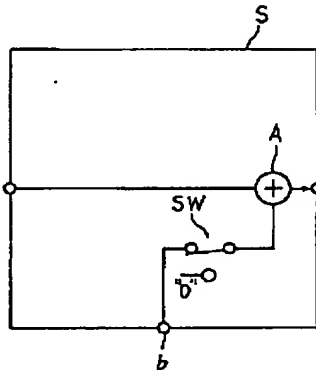
S、S00～S4n…信号選択手段、

SW…スイッチング素子。

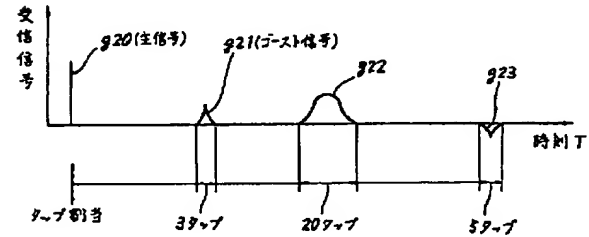
【図2】



【図3】

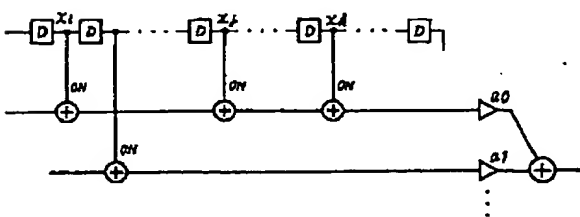


【図4】

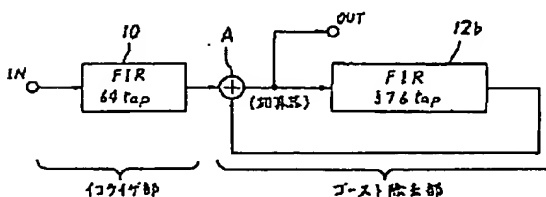


【図9】

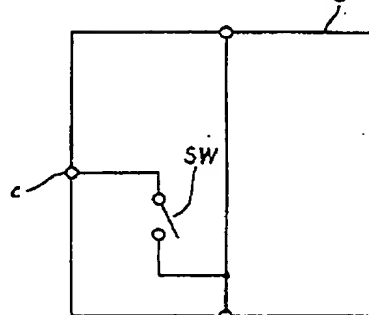
【図5】



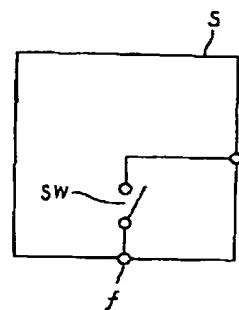
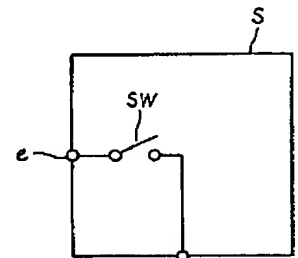
【図19】



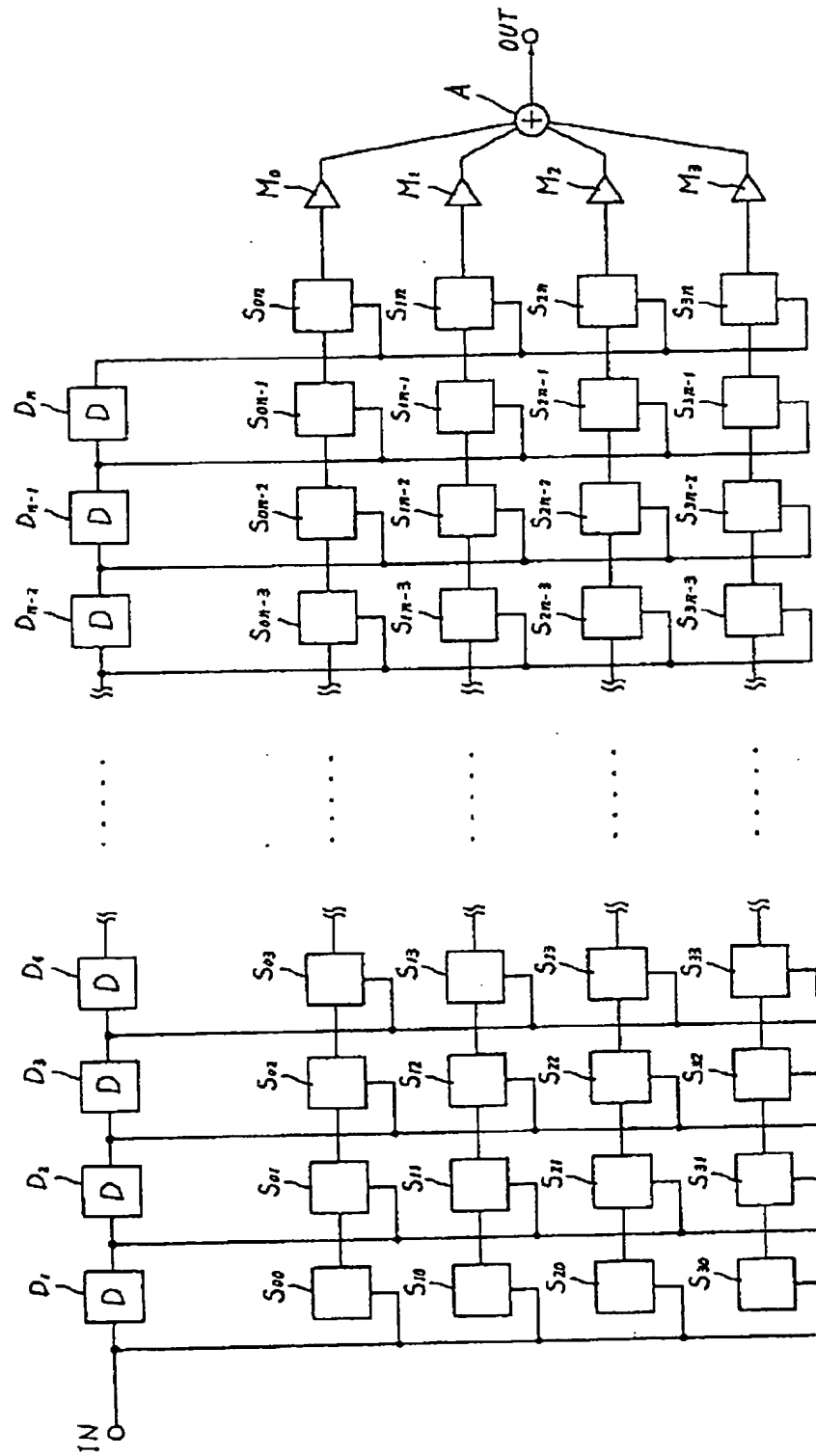
【図7】



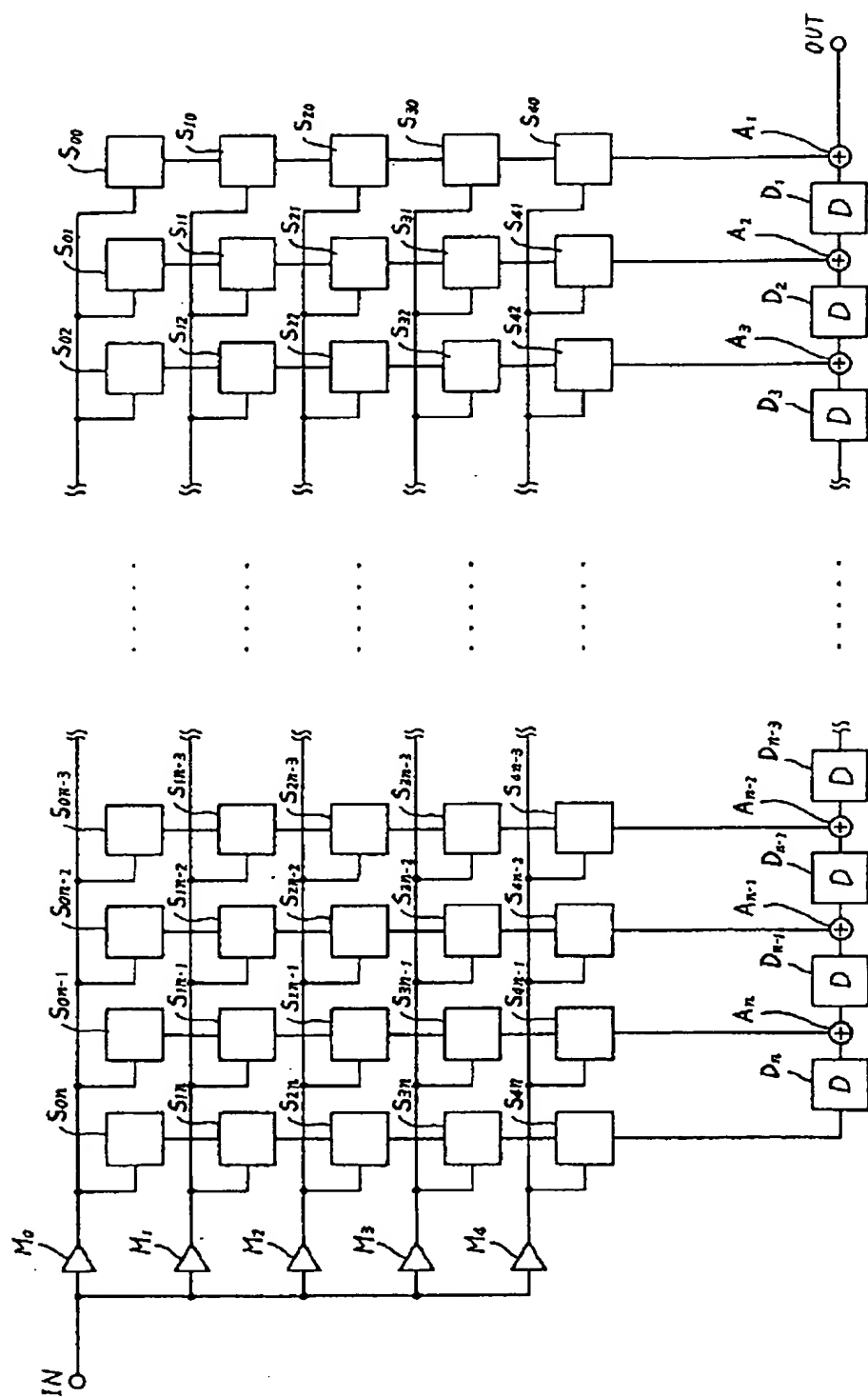
【図11】



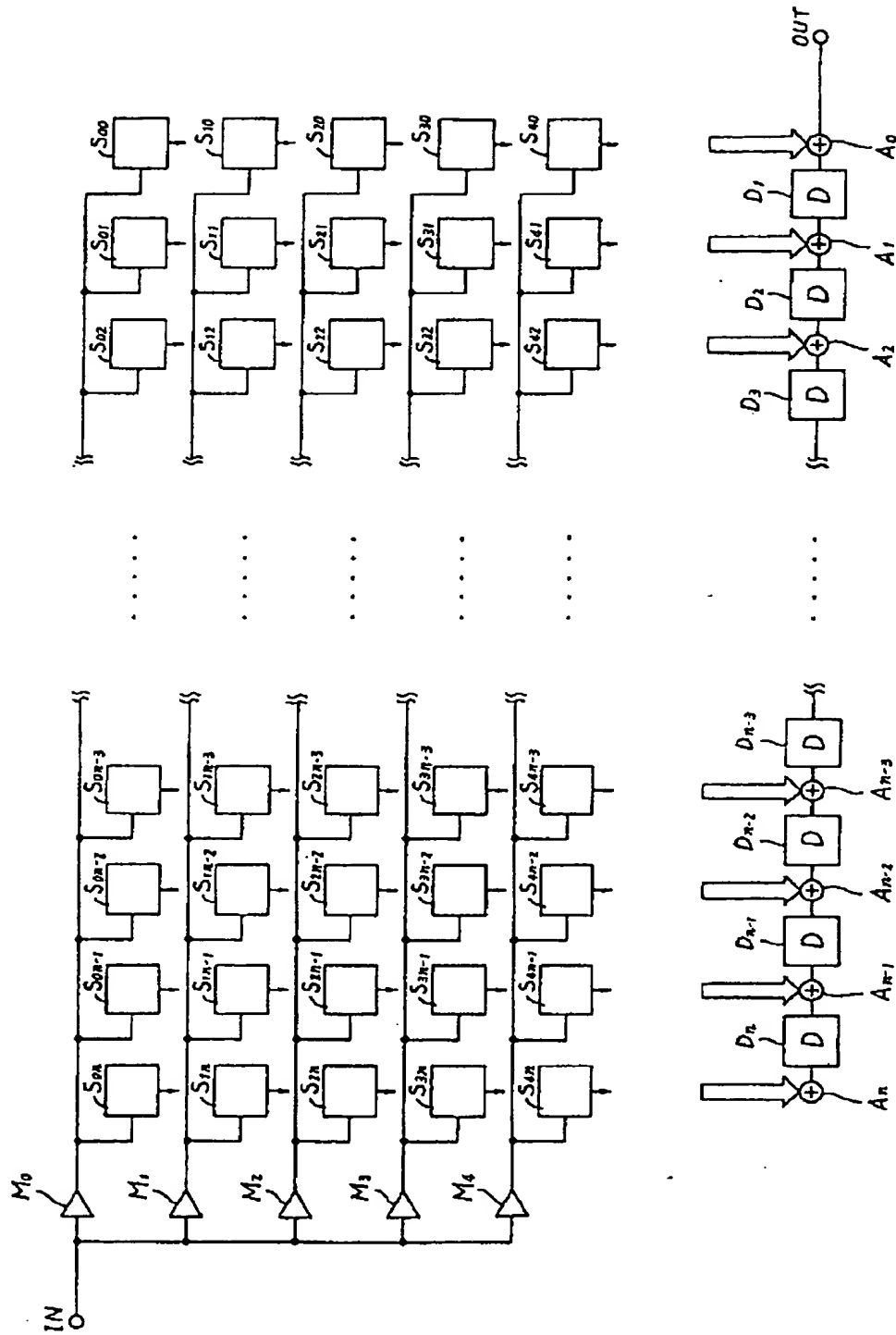
【図1】



【図6】

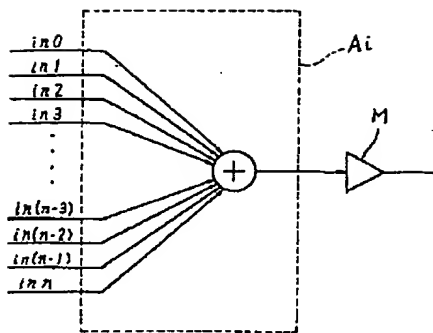


【図8】

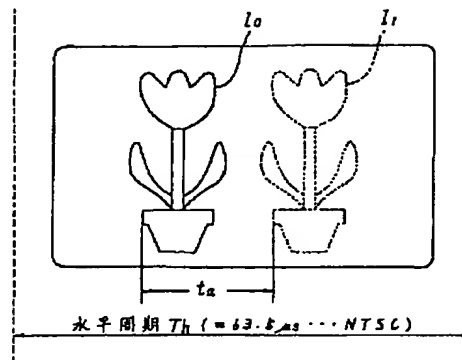


The diagram illustrates a digital filter architecture. It begins with an input signal  $N$  entering a chain of delay elements  $D_1, D_2, D_3, \dots, D_{n-2}, D_{n-1}, D_n$ . Each delay element's output is connected to a corresponding multiplier in a set of  $j$  parallel paths, labeled  $S_{00}$  through  $S_{0n-1}$ ,  $S_{10}$  through  $S_{1n-1}$ , and so on, up to  $S_{jn-2}$  and  $S_{jn-1}$ . The outputs of these multipliers are then fed into a series of adders  $A_0$  through  $A_{n-1}$ ,  $A_{n-2}$ ,  $A_{n-1}$ , and so on, up to  $A_{n-2}$  and  $A_{n-1}$ . The outputs of these adders are summed at a final output node  $A$  to produce the final output  $OUT$ .

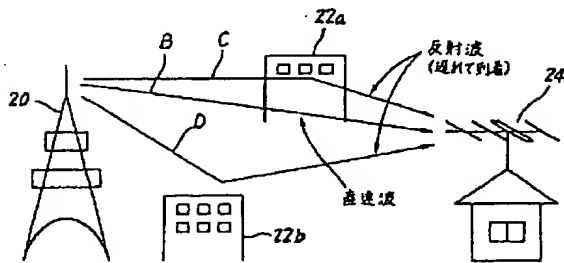
【図12】



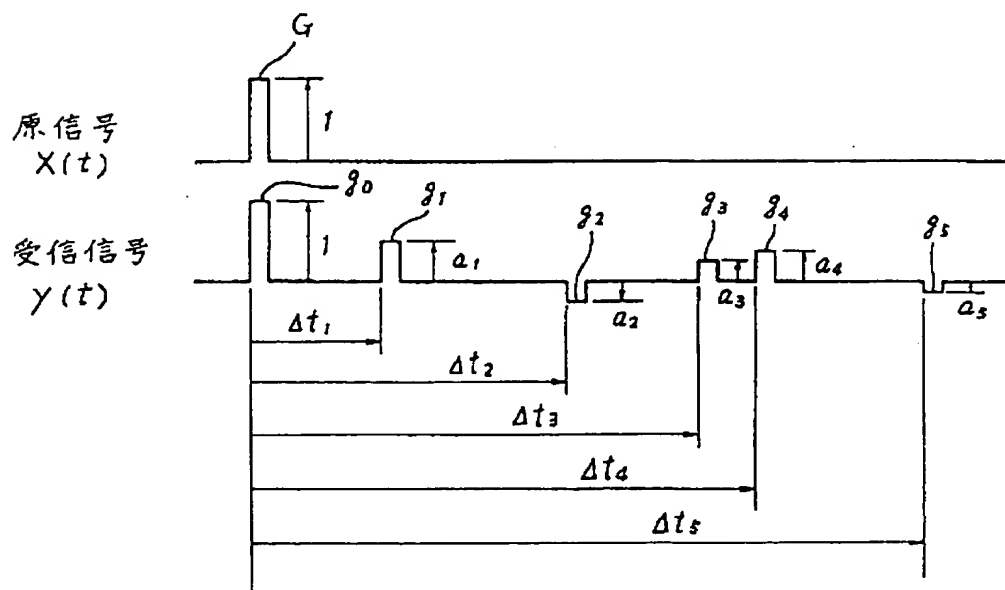
【図14】



【図15】

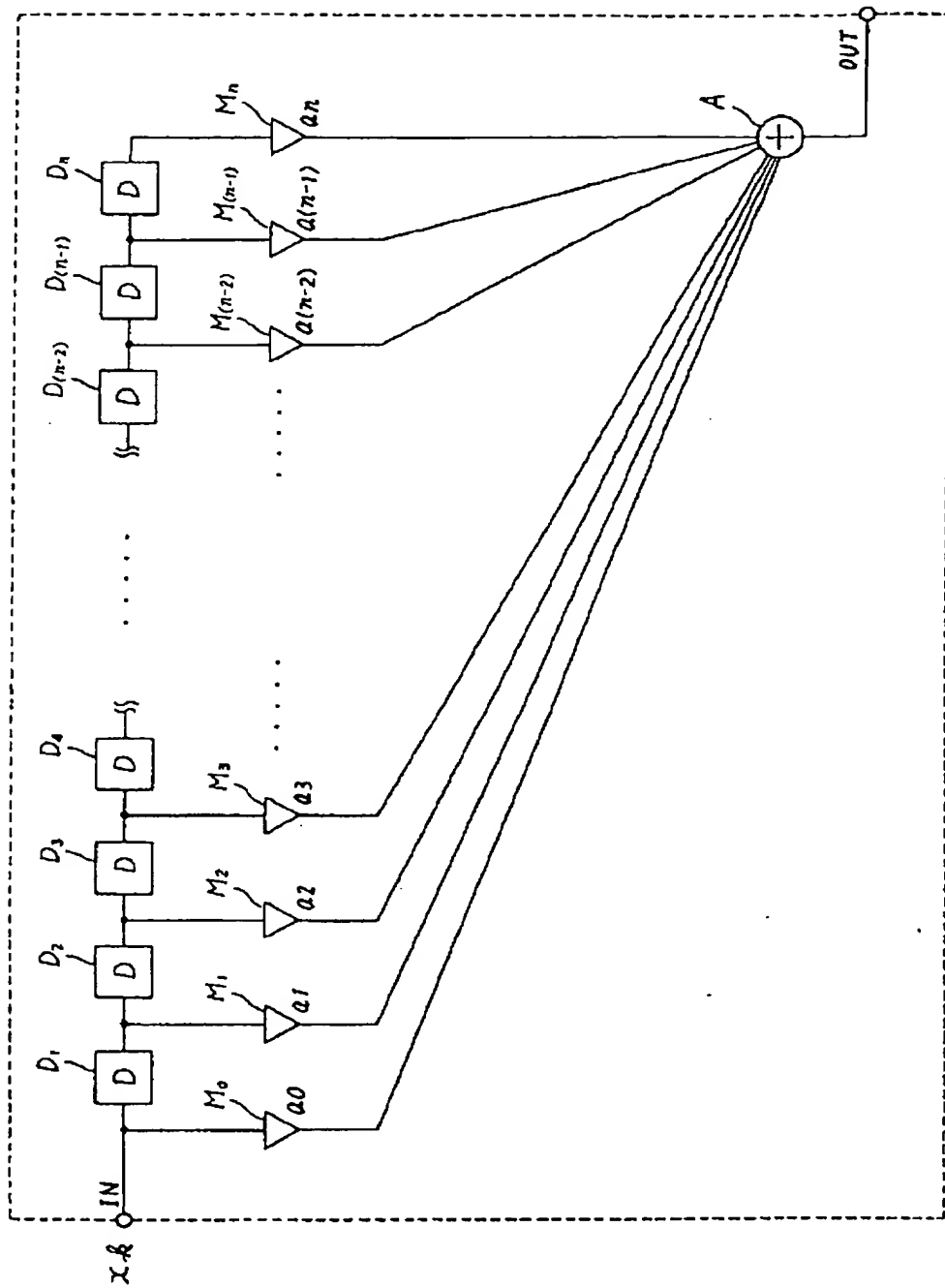


【図16】

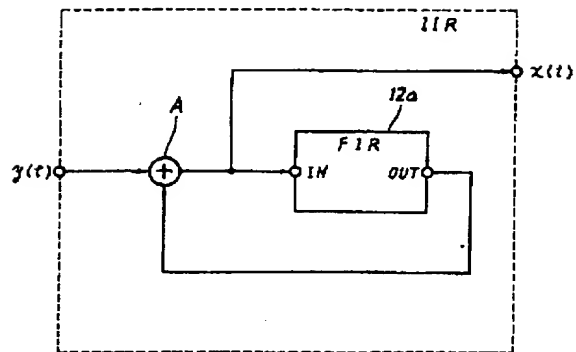




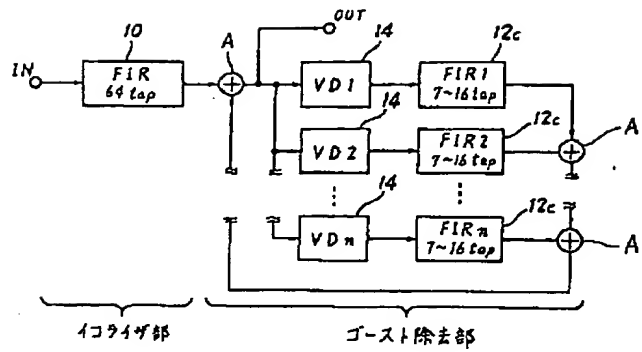
【図13】



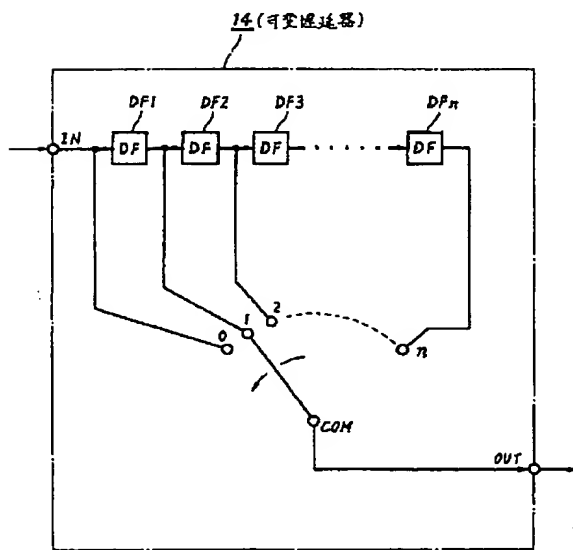
【図17】



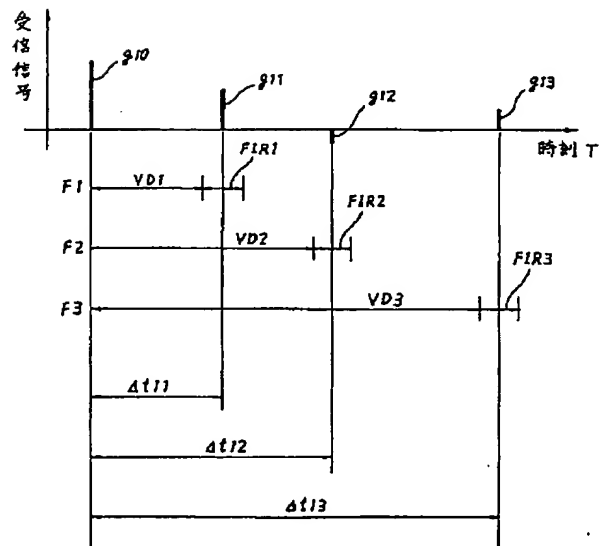
【図20】



【図21】



【図22】



【図18】

